

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97693

(43) 公報日 平成11年(1999) 4月9日

(51) Int. Cl.<sup>6</sup>

H01L 29/786

識別記号

F I

H01L 29/78

626 Z

617 K

621

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号

特願平9-253072

(22) 出願日

平成9年(1997) 9月19日

(71) 出願人 030333078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 川中 繁

神奈川県川崎市幸区小向東芝町1番地 株

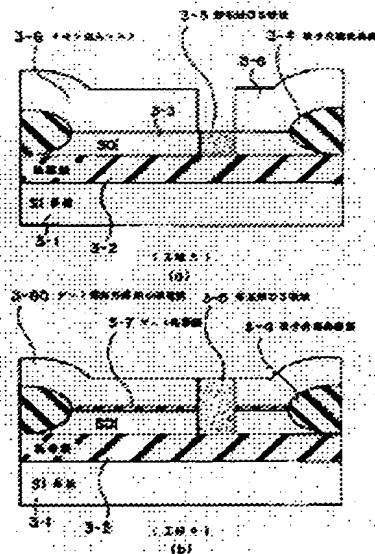
式会社東芝研究開発センター内

(74) 代理人 弁護士 鈴江 武彦 (外6名)

【要約】 半導体装置およびその製造方法

【課題】 SOI素子において、ソース、ドレイン領域及び埋め込み酸化膜に挟まれたボディ領域に電気的導通を取る際、当該領域へのコンタクトを設けることによる寄生容量、リーク電流の増加等の弊害を効果的に解消すること。

【解決手段】 ボディ・コンタクト付SOI素子におけるチャネル領域に電位を与えるためのコンタクトを形成する際、素子電流駆動力への寄与が小さい寄生MOS型キャパシタ領域において、その反転しきい電圧を制御することにより実動作電圧範囲にて当該領域での寄生容量、リーク電流等を低減させる。ボディ・コンタクト付SOI素子におけるボディ・コンタクトの領域近傍に形成される寄生MOS領域の反転しきい電圧を、SOI素子の反転しきい電圧とは独立に設定出来るよう、所望の領域に不純物を添加するか、または寄生MOS領域のゲート電極の仕事関数を変化させるようにする。



AL

【特許請求の範囲】

【請求項1】半導体基板上に第一の絶縁膜が形成され、この第一の絶縁膜上に半導体素子形成領域が形成されると共に、この半導体素子形成領域に、第一の導電型の一对の第一の領域と、この第一の領域により挟まれた、前記第一の導電型と逆導電型の第二の領域と、前記第二の領域上に第二の絶縁膜を介して形成されるゲート電極とを備える半導体装置において、

前記第一の絶縁膜と第二の絶縁膜との間に形成された、前記第二の領域と同導電型の第三の領域と、前記第三の領域に電位を与えるための配線を形成する第四の領域を備え、

前記第三の領域に前記第二の絶縁膜を介したゲート電極との間で形成されるMOS型キャパシタにおける反転しきい電圧が、前記第二の領域に前記第二の絶縁膜を介して前記ゲート電極との間で形成されるMOS型キャパシタにおける反転しきい電圧と異なるよう、設定することを特徴とする半導体装置。

【請求項2】前記第三の領域に導入される不純物を制御することにより、第三の領域に形成されるMOS型キャパシタの反転しきい電圧を、第二の領域に形成されるMOS型キャパシタの反転しきい電圧と異なるように設定することを特徴とする請求項1記載の半導体装置。

【請求項3】前記第三の領域に導入される不純物を制御することにより、前記第一の領域と、この第一の領域とは逆導電型の第四の領域の間に流れるリーク電流を低減することを特徴とする請求項1記載の半導体装置。

【請求項4】半導体基板上に第一の絶縁膜が形成され、この第一の絶縁膜上に半導体素子形成領域が形成されると共に、この半導体素子形成領域に、第一の導電型の一对の第一の領域と、この第一の領域により挟まれた、前記第一の導電型と逆導電型の第二の領域と、前記第二の領域と隣接し、前記第一の導電型と逆導電型の第三の領域とを備え、前記第二及び第三の領域上に第二の絶縁膜を介してゲート電極を備える半導体装置において、前記第三の領域に電位を与えるための配線を形成する第四の領域を備え、前記第三の領域に前記第二の絶縁膜を介して形成されるゲート電極の仕事関数を、第二の領域に第二の絶縁膜を介して形成されるゲート電極の仕事関数と異なるよう、設定することにより、第二の領域に形成されるMOS型キャパシタの反転しきい電圧と第三の領域に形成されるMOS型キャパシタの反転しきい電圧が異なるよう設定することを特徴とする半導体装置。

【請求項5】仕事関数は、使用する電極材料の吟味により設定することを特徴とする請求項4記載の半導体装置。

【請求項6】半導体基板上に第一の絶縁膜が形成され、この第一の絶縁膜上に半導体素子形成領域が形成されると共に、この半導体素子形成領域に、第一の導電型の一

対の第一の領域と、この第一の領域により挟まれた、前記第一の導電型と逆導電型の第二の領域と、前記第二の領域上に第二の絶縁膜を介して形成されるゲート電極とを備える半導体装置の製造方法において、

前記第一の絶縁膜と第二の絶縁膜との間に、前記第二の領域と同導電型の不純物イオンを拡散させて第三の領域を形成し、また、この第三の領域に接する配線を形成し、

これにより、この第三の領域に前記第二の絶縁膜を介したゲート電極との間で形成されるMOS型キャパシタにおける反転しきい電圧が、前記第二の領域に前記第二の絶縁膜を介して前記ゲート電極との間で形成されるMOS型キャパシタにおける反転しきい電圧と異なるよう設定することを特徴とする半導体装置の製造方法。

【請求項7】半導体基板上に第一の絶縁膜が形成され、この第一の絶縁膜上に半導体素子形成領域が形成されると共に、この半導体素子形成領域に、第一の導電型の一对の第一の領域と、この第一の領域により挟まれた、前記第一の導電型と逆導電型の第二の領域と、前記第二の領域上に第二の絶縁膜を介して形成されるゲート電極とを備える半導体装置の製造方法において、

前記第一の絶縁膜と第二の絶縁膜との間に、前記第二の領域と同導電型の第三の領域、並びに配線を形成する第四の領域とを形成し、

前記第三の領域に前記第二の絶縁膜を介して形成されるゲート電極の仕事関数を、第二の領域に第二の絶縁膜を介して形成されるゲート電極の仕事関数と異なるよう、ゲート電極の対応領域の不純物拡散または、材料吟味により設定し、これにより、第二の領域に形成されるMOS型キャパシタの反転しきい電圧と第三の領域に形成されるMOS型キャパシタの反転しきい電圧が異なるよう設定することを特徴とする半導体装置の製造方法。

【請求項8】ボディ・コンタクト付SOI素子において、

そのボディ・コンタクトの領域近傍に形成される寄生MOS領域の反転しきい電圧を、SOI素子の反転しきい電圧とは独立に設定出来るよう、所望の領域に不純物を添加するか、または寄生MOS領域のゲート電極の仕事関数を変化させるようにしたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の構造およびその製造方法に係り、特にSOI (Silicon on Insulator) 型の半導体装置とその製造方法に関する。

【0002】

【従来の技術】半導体集積回路の低消費電力化、動作速度の高速化等の要求に伴い、それらを構成する個々の素子の微細化、動作電圧の低電圧化が強く求められてい

る。そこで、従来用いられてきたBulk型素子に対し、小さな素子寄生容量、急峻なサブスレッショルド特性、小さな基板バイアス効果等、多くのメリットを持つとされるSOI (Silicon on Insulator) 型の半導体素子が注目されている。

【0003】ここで、SOI素子の構造、及び製造方法の典型的な例を説明しておく。まず、図13(a)にSOI素子の平面図を、そして、図13(b)にそのSOI素子におけるチャンネル長方向断面図を示す。

【0004】図に示すように、SOI素子は、シリコン(Si)基板1-1上に、例えば、絶縁膜1-2としてのシリコン酸化膜(SiO<sub>2</sub>)が形成されており、この絶縁膜1-2を介して、単結晶シリコン(Si)活性層1-3が形成され、更に例えばシリコン酸化膜(SiO<sub>2</sub>)1-4を介し、ゲート電極1-5が形成されている。

【0005】また、ソース領域1-6、ドレイン領域1-7がシリコン活性層1-3と逆導電型不純物を、例えばイオン注入法により添加することにより形成されている。SOI素子は例えばこのようなものであるが、しかし、SOI素子においては、絶縁膜1-2が存在するため、従来のBulk型素子において容易に制御可能であったボディ領域の電位を、それと同様に制御することが困難な構造となっている。

【0006】その結果、素子動作過程においてボディ領域の電位が浮遊する現象が起り、“素子しきい電圧が素子動作中に変化してしまう”、“素子耐圧が減少してしまう”等の欠点があった。

【0007】これらの欠点に対し薄膜SOI素子においても、従来のBulk平面型素子同様、ボディ領域の電位を制御する試みが種々なされてきた。従来型Bulk素子の構造例を図14に、そして、典型的なボディ電位制御型SOI素子の構造例を図15にそれぞれ示す。いずれも(a)は平面図、(b)は(a)に示す平面図のA-A'断面図である。

【0008】図14において、2-1はSi基板、2-2はゲート絶縁膜、2-3はゲート電極であり、2-4はソース領域、2-5はドレイン領域である。図14に示すように、従来型のBulk素子では、Si基板2-1に薄いゲート絶縁膜2-2を形成しこのゲート絶縁膜2-2を介してゲート電極2-3を形成している。この従来型のBulk素子では、Si基板2-1中に例えば不純物を添加することにより、低抵抗な導電層を形成し、この低抵抗導電層を介してチャンネル領域の電位を容易に制御することが出来る。

【0009】一方、典型的なボディ電位制御型の薄膜SOI素子は、Si基板2-10上に絶縁膜2-11が形成され、その上にSOI活性層2-12が形成され、ゲート2-14はこのSOI活性層2-12上に形成したゲート絶縁膜1-13を介してその上に形成される。2-

-16はドレイン領域、2-15はソース領域である。

【0010】すなわち、薄膜SOI素子の場合、Si基板2-10とチャンネルが形成されるSOI活性層2-12の間に、絶縁膜2-11が存在する。そのため、個々の素子に対して、そのボディ電位を効率良く制御するためのコンタクト領域(ボディ・コンタクト領域)を形成する必要がある。

【0011】図15はコンタクト領域(ボディ・コンタクト領域)2-17を形成した場合の一例を示す素子構成図であり、(a)は平面図、(b)はそのA-A'断面図を示している。2-17が、このコンタクト領域(ボディ・コンタクト領域)であり、このコンタクト領域2-17を得るためにゲート電極2-14をT字状にしてドレイン領域2-16、ソース領域2-15とこのコンタクト領域2-17とを分けている。ボディ・コンタクト領域2-17は、その対応領域に高濃度に不純物を添加して低抵抗化することで形成する。

【0012】しかし、上記の様なコンタクト領域2-17を形成すると、図16に符号2-18を付して示す付加的なチャンネル領域に、素子電流駆動力への寄与が小さい寄生MOSキャパシタ領域が形成され、この付加的なチャンネル領域2-18に相当する分の寄生容量増加が顕著に見られるという問題があった。これは素子動作速度の劣化や消費電力の増大を招く要因となる。

【0013】

【発明が解決しようとする課題】SOI素子においては、Si基板とチャンネルが形成されるSOI活性層の間に、絶縁膜が存在する。そのため、個々の素子に対して、そのボディ電位を効率良く制御するためのコンタクト領域(ボディ・コンタクト領域)を形成する。そして、コンタクト領域を得るためにゲート電極をT字状にしてドレイン領域およびソース領域とこのコンタクト領域とを分けている。

【0014】しかし、コンタクト領域を形成すると、付加的なチャンネル領域に、素子電流駆動力への寄与が小さい寄生MOSキャパシタ領域が形成され、この付加的なチャンネル領域に相当する分の寄生容量増加が避けられない。

【0015】このように、薄膜SOI素子において、そのチャンネル領域の電位を制御するためのコンタクト領域を形成すると、当該領域における寄生容量の増加が起り、素子動作速度の劣化や、消費電力の増大を招くという問題があった。また、高濃度に不純物の添加されているボディ・コンタクト領域と、素子チャンネル反転層形成領域が近接されることによる、接合リーク電流の増加が顕著に現れる問題も発生していた。この問題は重大であり、実用化上、大きな支障となる。

【0016】そこで、この発明の目的とするところは、上述のような従来技術の問題点を解消することにより、半導体装置の動作速度高速化、低消費電力化を実現する

ことが出来る、主にSOI型素子に適用して最適な半導体装置およびその製造方法を提供することにある。

【0017】

【課題を解決するための手段】前述した問題を解決するため本発明は、半導体基板上に第一の絶縁膜が形成され、この第一の絶縁膜上に半導体素子形成領域が形成されると共に、この半導体素子形成領域に、第一の導電型の一対の第一の領域と、この第一の領域により挟まれた、前記第一の導電型と逆導電型の第二の領域と、前記第二の領域上に第三の絶縁膜を介して形成されるゲート電極とを備える半導体装置において、前記第一の絶縁膜と第二の絶縁膜との間に形成された、前記第二の領域と、同導電型の第三の領域と、前記第三の領域に電位を与えるための図線を形成する第四の領域を備える。

【0018】そして、前記第三の領域に前記第二の絶縁膜を介したゲート電極との間で形成されるMOS型キャパシタにおける反転しきい電圧が、前記第二の領域に前記第二の絶縁膜を介して前記ゲート電極との間で形成されるMOS型キャパシタにおける反転しきい電圧と異なるよう、設定することを特徴とする。

【0019】あるいは、前記第三の領域に前記第二の絶縁膜を介して形成されるゲート電極の仕事関数を、第二の領域に第二の絶縁膜を介して形成されるゲート電極の仕事関数と異なるよう、設定することにより、第二の領域に形成されるMOS型キャパシタの反転しきい電圧と第三の領域に形成されるMOS型キャパシタの反転しきい電圧が異なるよう設定することを特徴とする。

【0020】すなわち、本発明はボディ・コンタクト領域近傍に形成される寄生MOS領域の反転しきい電圧を、本体SOI素子の反転しきい電圧とは独立に設定出来るよう、所望の領域に不純物を添加するか、または寄生MOS領域のゲート電極の仕事関数を変化させるようにするものであり、このような手法を用いて、素子動作電圧範囲内に寄生MOS領域が蓄積層や反転層を形成しないよう制御することで、素子動作中に寄生していた当領域の負荷容量を低減することが出来る。また、ボディ・コンタクト領域に近接する領域にチャネル反転層が形成されることを防ぐため、ボディ・コンタクト領域とチャネル反転層間での接合リーク電流を低減することが出来る。その結果、これまでボディ・コンタクトを形成する際に問題となっていた寄生容量の増加、リーク電流の増加を防止出来、ボディ電位の浮遊効果による問題を解決、更には、個々素子のボディ電位を任意に制御することにより、従来のBulk平面型素子では実現することが出来なかった、回路動作等を可能にすることが出来る。

【0021】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施例を説明する。本発明は、SOI素子において、ソース、ドレイン領域、及び埋め込み酸化膜に挟ま

れたボディ領域に電氣的導通を取る際、当領域へのコンタクトを設けることによる寄生容量、リーク電流の増加等の弊害を、製造方法の複雑化を招くこと無く、形成することにより、チャネル領域の電位を効率よく制御することが可能な半導体装置、及びその製造方法を提供することを目的としている。

【0022】そのために、ボディ・コンタクト付SOI素子におけるチャネル領域に電位を与えるためのコンタクトを形成する際、素子電流駆動力への寄与が少ない寄生MOS型キャパシタ領域において、その反転しきい電圧を制御することにより実動作電圧範囲にて当領域での寄生容量、リーク電流等を低減させ、素子動作速度の向上、消費電力の低減を実現する。

【0023】より具体的には、ボディ・コンタクト付SOI素子において、そのボディ・コンタクトの領域近傍に形成される寄生MOS領域の反転しきい電圧を、SOI素子の反転しきい電圧とは独立に設定出来るよう、所望の領域に不純物を添加するか、または寄生MOS領域のゲート電極の仕事関数を変化させるようにする。

【0024】詳細を説明する。以下に説明する本発明方法においては、図1に示すようなSOI型半導体装置を作製する場合を例にとる。この図1においては、基本的構造は図15と同様であって、コンタクト領域(ボディ・コンタクト領域)を形成した場合の一例を示す素子構成図であり、(a)は平面図、(b)はそのA-A'断面図を示している。3-9(2-17)が、このコンタクト領域(ボディ・コンタクト領域)であり、このコンタクト領域2-17を得るためにゲート電極3-8(図15の2-14に対応)をT字状にしてドレイン領域(図15の2-16に対応)、ソース領域(図15の2-15に対応)とこのコンタクト領域3-9とを分けている。ボディ・コンタクト領域3-9は、その対応領域に高濃度に不純物を添加して低抵抗化することで形成する。3-11はソース領域(図15の2-15に対応)、3-12はドレイン領域(図15の2-16に対応)、3-1はSi半導体基板(図15の2-10に対応)、3-2はこのSi半導体基板3-1上に形成されたSi酸化膜(図15の2-11に対応)、3-3はSi酸化膜3-2上のSOI活性層(図15の2-12に対応)である。

【0025】本発明においては、ボディ・コンタクト領域近傍に形成される寄生MOS領域の反転しきい電圧を、本体SOI素子の反転しきい電圧とは独立に設定出来るよう、所望の領域に不純物を添加するか、または寄生MOS領域のゲート電極の仕事関数を変化させるようにするものであるが、まずはじめに前者の例を実施例1として説明する。

【0026】(実施例1)図2乃至図5に、本発明による半導体装置の製造方法の実施例1を説明するための工程断面図を示す。なお、図4の(a)は「工程5」での

平面図である。

【0027】[工程1] 先ず、図2(a)に示すように、SIMOX (Separation by Implantation of Oxygen) または張り合わせ法等により、Si 半導体基板3-1上に、絶縁膜として例えばSi酸化膜3-2を形成し、このSi酸化膜3-2を介してその上にSOI活性層3-3を形成する。そして、この形成されたSOI活性層3-3を、所望膜厚、例えば150nm程度の厚さまで例えば熱酸化法とNH<sub>4</sub>Fによるエッチングにより、薄膜化する。

【0028】[工程2] 次に、図2(b)に示すように、個々のSOI素子を電気的に分離するための素子分離領域3-4を形成するため、マスクを用いて例えばLOCOS (Local Oxidation of Silicon) 法によりSOI活性層3-3を酸化する。そして、マスクを除去することでSOI活性層は素子分離領域3-4で素子分離され、素子形成領域3-3'となる。

【0029】次に、素子形成領域3-3'に素子しきい電圧を調整するための不純物を、例えばイオン注入法により導入する。

【工程3】その後、図3(a)に示すように、寄生のMOS領域3-5となる領域を除去したレジストパターン3-6等をマスクとして用い、例えばイオン注入法により所望の不純物を導入する。ここで言うイオン注入としては、素子電流が主に流れるメインチャネル領域に対して、寄生MOS領域3-5の反転しきい電圧が高くなるよう設定される。イオン注入後は、レジストパターン3-6は用済みとなるので除去する。

【0030】[工程4] その後、図3(b)に示すように、SOI活性層3-3の素子形成領域3-3'上に例えば、熱酸化法により酸化させてゲート絶縁膜3-7を形成し、その上にゲート電極3-8形成のための導電膜3-80を形成する。この導電膜3-80は例えば多結晶SiをCVD (Chemical Vapor Deposition) 法により、所望の膜厚に堆積し、そして、不純物を例えば気相拡散法により導入することで得る。

【0031】[工程5] 次にこの導電膜3-80から素子のゲート電極を形成し、また、ソース領域、ドレイン領域、及びボディ・コンタクト領域を露出させるために、この導電膜3-80上にレジスト等によるマスクパターンを形成し、これをマスクとして、例えばRIE (Reactive Ion Etching) 法を用いて所望の形状にエッチングする。これにより図4

(a)、(b)に示すように、素子のゲート電極3-8が形成され、ソース領域3-11、ドレイン領域3-12、及びボディ・コンタクト領域3-9が露出される。

【0032】このように形成された、ソース領域3-11及びドレイン領域3-12と、ボディ・コンタクト領

域3-9には、それぞれ逆導電型の拡散層を形成するための不純物を、レジスト等のマスクを用いて例えばイオン注入法により導入する。その後、イオン注入によって導入された不純物の活性化を行うための熱工程、例えばRTA (Rapid Thermal Annealing) 法を用いたアニールを行う。

【0033】[工程6] その後、その上に層間絶縁膜を堆積し、接続電極である配線ボディ・コンタクト電極3-10、ゲート電極3-8、ソース電極3-11'及びドレイン電極3-12'を作製する配線形成工程を経て図5に示す如き所望のSOI型半導体装置を完成させる。

【0034】以上述べた方法により形成したSOI素子においては、これまで問題であったボディ電位を制御するためのコンタクト領域3-10を形成した際、同時に形成される寄生のMOSキャパシタ領域の反転しきい値を、MOSキャパシタ領域のSOI活性層3-3中に不純物を任意に導入することにより制御するようにした。そのため、図6に示すよう、素子動作電圧範囲において、このMOSキャパシタによる寄生容量を有効に低減させることが出来る。

【0035】図6は本発明を適用したSOI素子におけるメインMOS領域のゲート電圧-容量特性と寄生MOS領域のゲート電圧-容量特性を示しており、C1がメインMOS領域のゲート電圧-容量特性を、そして、C2が寄生MOS領域のゲート電圧-容量特性を示している。0[V]から1[V]の範囲が素子動作範囲であり、図に示すように、寄生MOS領域での容量は素子動作電圧範囲において小さくなり、従って、MOSキャパシタによる寄生容量を有効に低減させることが出来ることがわかる。

【0036】すなわち、MOSキャパシタ領域のSOI活性層3-3中に不純物を任意に導入することにより、形成される寄生のMOSキャパシタ領域の反転しきい値電圧をメインMOS領域の反転しきい値電圧とは独立に設定できるので、これにより、素子動作中に、寄生していた負荷容量を軽減して動作速度を高速化できるようにする。

【0037】更に、本方法では、素子ボディ領域とそのコンタクト領域との間を繋ぐMOSキャパシタ領域の不純物濃度を増加させるため、この領域での寄生抵抗は低減されて、有効にボディ領域の電位を制御することが出来るようになる。

【0038】また、素子が動作する際、その動作電圧範囲内では、寄生MOSキャパシタ領域には反転層が形成されないため、ソース、ドレイン、及びチャネル反転層と、ボディ・コンタクト領域間のpn接合には寄生MOSキャパシタの幅と同等の空乏層が広がり、高濃度pn接合を形成する際に見られる様なアバランシェ電流やトンネル電流等のリーク電流の非常に少ない構造とするこ

とが出来る。

【0039】なお、本発明は、上記実施例中の図4(a)の平面図に示すような形状に限定されるものではなく、例えば図7、図8に示すような平面構造など、SOI素子においてそのボディ領域にコンタクトを取る際のレイアウトにより、寄生MOSキャパシタの領域が変化しても、本発明の要旨を逸脱しない範囲で、種々変形して実施することが出来る。

【0040】また、本発明は素子分離方法によって限定されるものでなく、LOCOS法、他、STI(Shallow Trench Isolation)法、メサ型分離法等を用いて実施することが出来る。

【0041】そして、例えば絶縁膜上に形成される単結晶層として、前述したSIMOX法によって形成したSOI基板に限らず、各種張り合わせ法によるもの、絶縁膜状に単結晶Siを成長させたもの、SOS(Silicon on sapphire)基板等を用いることが可能である。

【0042】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することが出来る。以上、実施例1においてはSOI素子において、ボディ・コンタクト領域近傍に形成される寄生MOS領域の反転しきい電圧を、本体SOI素子の反転しきい電圧とは独立に設定出来るよう、所望の領域に不純物を添加する例を説明した。次に、寄生MOS領域のゲート電極の仕事関数を変化させるようにすることで、寄生MOS領域の反転しきい電圧を制御できるようにする例を実施例2として説明する。

【0043】(実施例2) 図9乃至図12は、本発明による半導体装置の製造方法の実施例2を説明するための工程断面図、及び平面図である。

【工程i】 先ず、実施例1同様、Si半導体基板4-1上に絶縁膜として例えばSi酸化膜4-2を形成する。そして、このSi酸化膜4-1を介してSOI活性層4-3を形成し、この形成されたSOI活性層4-3を、所望膜厚まで薄層化し、そして、個々のSOI素子を電気的に分離するための素子分離領域4-4を、例えばSTI法により形成する。これにより得られたものが図3(a)であり、素子分離領域4-4で素子分離されたSOI活性層部分が素子形成領域となる。

【0044】【工程ii】 次に、この素子分離されたSOI活性層部分である素子形成領域4-3に、素子しきい電圧を調整するための不純物を、例えばイオン注入法により導入する。そして、その後、図9(b)に示すように、SOI活性層(素子形成領域)4-3上にゲート絶縁膜4-5を、例えば熱酸化法により形成し、このゲート絶縁膜4-5上にゲート電極形成のための導電膜4-60を形成する。この導電膜4-60の形成は、例えば、多結晶SiをCVD法により所望の膜厚に堆積することで行う。

【0045】【工程iii】 その後、前記ゲート電極形成のための導電膜4-60に対し、例えばイオン注入法を用いて不純物を導入するが、その際、例えばレジストを用い、図10に示すように、素子メインチャネル領域を除く寄生MOSキャパシタ領域4-7が隠れるようなマスク4-8を形成する。そして、このマスク4-8を用いて第1のイオン注入を、所望の領域に行う。

【0046】【工程iv】 次に、前記マスク4-8を除去し、図11に示すように、再度レジスト等を用いて第1のイオン注入を行ったメインチャネル領域にマスク4-9を形成する。その後、このマスク4-9を用いて第2のイオン注入を所望の領域に対し、行う。ここで、第1のイオン注入と第2のイオン注入を行う領域では、それぞれ逆導電型となるように、不純物を導入する。

【0047】例えば、n型素子の場合、メインチャネル領域に対して行う第1のイオン注入ではAs(砒素)を用いてn型に、また寄生MOSキャパシタ領域に対して行う第2のイオン注入では、B(ボロン)を用いてp型になるように設定する。その結果、ゲート電極4-6での仕事関数が、素子メインチャネル領域と寄生MOSキャパシタ領域4-7で異なり、且つ、それぞれの領域での反転しきい電圧が異なるよう、設定することが出来る。

【0048】【工程v】 この後、ゲート電極形成用の導電膜4-60上に例えばWSi<sub>2</sub>(タングステン・シリサイド)等をスパッタリング法により堆積して導電層4-10を形成し、逆導電型となっている素子メインチャネル領域上のゲート電極形成用導電膜と寄生MOS領域上のゲート電極形成用導電膜を電気的に導通させ、且つ抵抗を低減させるようにする。

【0049】次にこのゲート電極形成用導電膜4-60上に、レジスト等によるマスクを形成してこのマスクを用い、例えばRIE法により、所望の形状にエッチングし、素子のソース領域、ドレイン領域、及びボディ・コンタクト領域を露出させる。

【0050】このように形成された、ソース及びドレイン領域と、ボディ・コンタクト領域には、それぞれ逆導電型の拡散層を形成するための不純物を、レジスト等のマスクを用いて例えばイオン注入法によって導入する。その後、イオン注入によって導入された不純物の活性化を行うための熱工程、例えばRTA法を用いたアニールを例えば1000[°C]にて30秒行う。

【0051】その後、その上に層間絶縁膜を堆積し、接続電極であるボディ・コンタクト電極4-11、ゲート電極4-12、ソース電極及びドレイン電極4-13を作製する配線形成工程を経て図12の如き所望のSOI型半導体装置を完成させる。

【0052】以上述べた方法により、形成したSOI素子においては、これまで問題であったボディ電位を制御するためのコンタクト領域を形成した際に、同時に形成

される寄生のMOSキャパシタ領域の反転しきい値を、素子メインチャネル領域上のゲート電極材料での仕事関数と、MOSキャパシタ領域上のゲート電極材料での仕事関数を変えるべく、導電型の異なる不純物材料によるイオン注入を施し（仕事関数の制御）、それぞれの領域での反転しきい値電圧を異ならせるようにしたこと、実施例1に述べたような素子動作電圧範囲において、寄生MOSキャパシタによる寄生容量を有効に低減させる効果を得ることが出来るようになる。

【0053】また、本実施例では、ゲート電極材料の仕事関数を調整可能（制御可能）にするため、多結晶Siを用い、その中に導入される不純物種を変えることで効果を得る方法を示したが、この例には限定されず、例えば、イオン注入による手法ではなく、寄生のMOSキャパシタ領域と素子メインチャネル領域のゲート電極材料そのものに、仕事関数の異なる金属材料等を用いるようにすることにより、本実施例と同様の効果を得ることが出来る。

【0054】また、実施例1同様、素子が動作する際、その動作電圧範囲内では、寄生MOSキャパシタ領域には反転層が形成されないため、ソース、ドレイン、及びチャネル反転層と、ボディ・コンタクト領域間のpn接合におけるリーク電流を低減することが出来る。

【0055】なお、本発明において、ゲート電極材料にイオン注入法を用いて不純物を導入する際に使用するマスク形状は、上記実施例中の図10、図11の平面図に示す如きマスク形状に限定されるものではなく、素子メインチャネル領域のゲート電極材料と、寄生MOSキャパシタ領域のゲート電極材料に逆導電型の不純物を導入することが出来るマスク形状であれば良く、寄生MOSキャパシタの領域が変化しても、本発明の要旨を逸脱しない範囲で、種々変形して実施することが出来る。また、本発明は素子分離方法によって限定されることはなく、本実施例にて示したSTI法に限定されず、LOCOS法、メサ型分離法等を用い実施することが出来る。そして、例えば絶縁膜上に形成される単結晶層として、前述したSIMOX法によって形成したSOI基板に限らず、各種張り合わせ法によるもの、絶縁膜状単結晶Siを成長させたもの、SOS基板等を用いることが可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することが出来る。

【0056】以上、本発明はボディ・コンタクト付SOI素子において、そのボディ・コンタクト領域近傍に形成される寄生MOS領域の反転しきい電圧を、本体SOI素子の反転しきい電圧とは独立に設定出来るよう、所望の領域に不純物を添加するが、または寄生MOS領域のゲート電極の仕事関数を変化させるようにしたものである。そして、このような手法を用いて、素子動作電圧範囲内にて寄生MOS領域が蓄積層や反転層を形成しないよう制御することで、素子動作中に寄生していた当領

域の負荷容量を低減することが出来、また、ボディ・コンタクト領域に近接する領域にチャネル反転層が形成されることを防ぐため、ボディ・コンタクト領域とチャネル反転層間での接合リーク電流を低減することが出来る。その結果、これまでボディ・コンタクトを形成する際に問題となっていた寄生容量の増加、リーク電流の増加を防止出来、ボディ電位の浮遊効果による問題を解決、更には、個々素子のボディ電位を任意に制御することにより、従来のBulk平面型素子では実現することの出来なかった、回路動作等が可能になる。

【0057】

【発明の効果】上述したように本発明によれば、薄膜SOI素子にボディ・コンタクトを形成する際に付加的に形成される寄生MOSキャパシタ領域における寄生容量や、ソース及びドレインと、ボディ・コンタクト間に誘起されるリーク電流を、製造方法の複雑化や、素子占有面積の増大を招くことなく、寄生MOSキャパシタ領域の反転しきい電圧を制御することにより低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の具体例を説明するためのボディ・コンタクト付SOI型の半導体装置を説明する断面図及び平面図。

【図2】本発明を説明するための図であって、本発明の実施例1におけるSOI型半導体装置の製造工程を説明するための図。

【図3】本発明を説明するための図であって、本発明の実施例1におけるSOI型半導体装置の製造工程を説明するための図。

【図4】本発明を説明するための図であって、本発明の実施例1におけるSOI型半導体装置の製造工程を説明するための図。

【図5】本発明を説明するための図であって、本発明の実施例1におけるSOI型半導体装置の製造工程を説明するための図。

【図6】本発明の効果の説明するための図であって、メインMOS領域および寄生MOS領域における容量-ゲート電圧特性を示す図。

【図7】実施例1における別の構造の例を示す平面図。

【図8】実施例1における別の構造の例を示す平面図。

【図9】本発明を説明するための図であって、本発明の実施例2におけるSOI型半導体装置の製造工程を説明するための図。

【図10】本発明を説明するための図であって、本発明の実施例2におけるSOI型半導体装置の製造工程を説明するための図。

【図11】本発明を説明するための図であって、本発明の実施例2におけるSOI型半導体装置の製造工程を説明するための図。

【図12】本発明を説明するための図であって、本発明



の実施例2におけるSOI型半導体装置の製造工程を説明するための図。

【図13】SOI型の半導体装置を説明するための断面図及び平面図。

【図14】Bulk型の半導体装置を説明するための断面図及び平面図。

【図15】ボディ・コンタクト付SOI型の半導体装置を説明するための断面図及び平面図。

【図16】ボディ・コンタクト付SOI型の半導体装置を説明するための断面図及び平面図。

【符号の説明】

- 3-1...Si半導体基板
- 3-2...Si酸化膜(絶縁膜)
- 3-3...SOI活性層
- 3-3'...素子形成領域
- 3-4...SOI素子を電氣的に分離するための素子分離領域
- 3-5...寄生のMOS領域
- 3-6...マスク

3-7...ゲート絶縁膜

3-8...ゲート電極

3-10...配線ボディ・コンタクト電極

3-8...ゲート電極

3-11'...ソース電極

3-12'...ドレイン電極

3-80...ゲート電極形成のための導電膜

4-1...Si半導体基板

4-2...Si酸化膜(絶縁膜)

4-3...SOI活性層

4-4...個々のSOI素子を電氣的に分離するための素子分離領域

4-5...ゲート絶縁膜

4-60...導電膜

4-7...寄生MOSキャパシタ領域

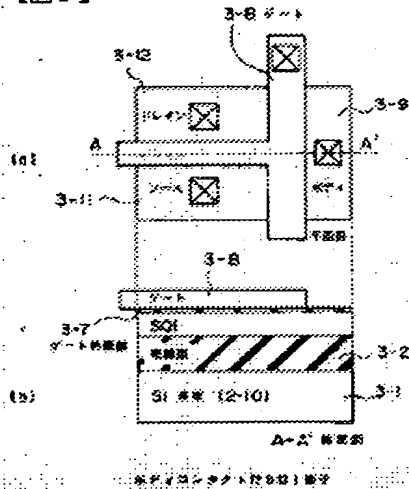
4-8, 4-9...マスク

4-11...ボディ・コンタクト電極

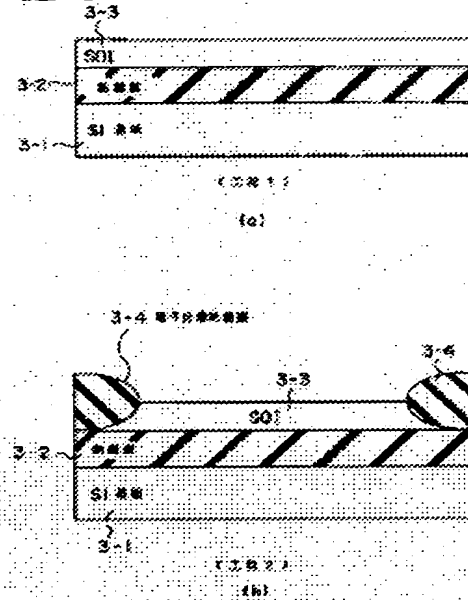
4-12...ゲート電極

4-13...ソース電極及びドレイン電極

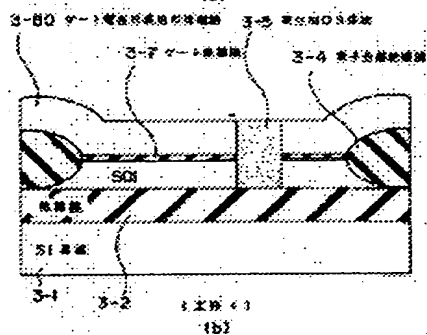
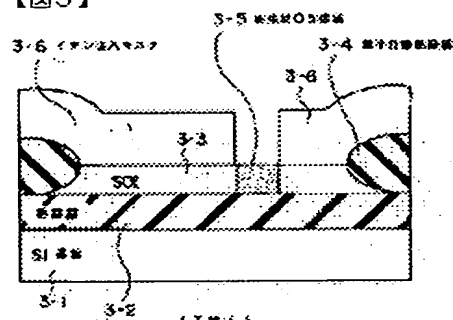
【図1】



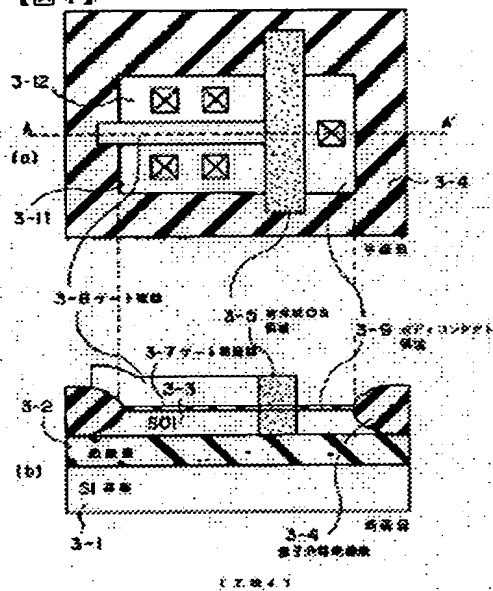
【図2】



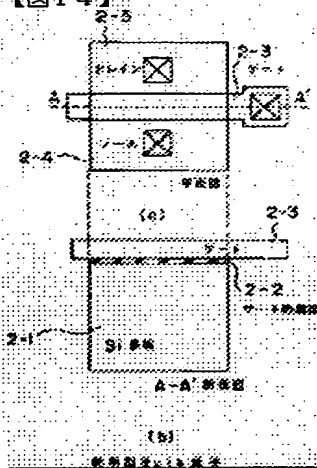
【図3】



【図4】



【図14】



【図5】

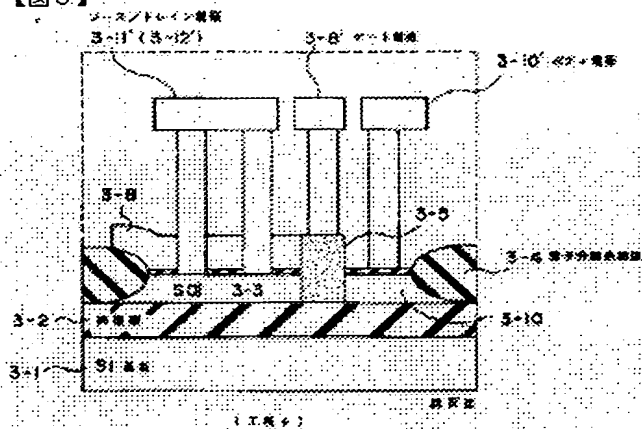
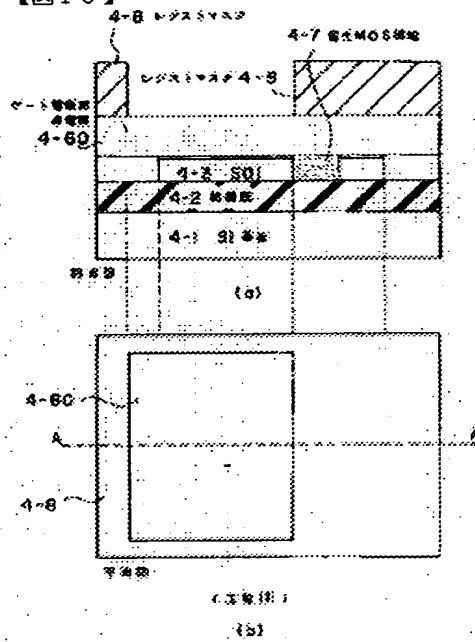


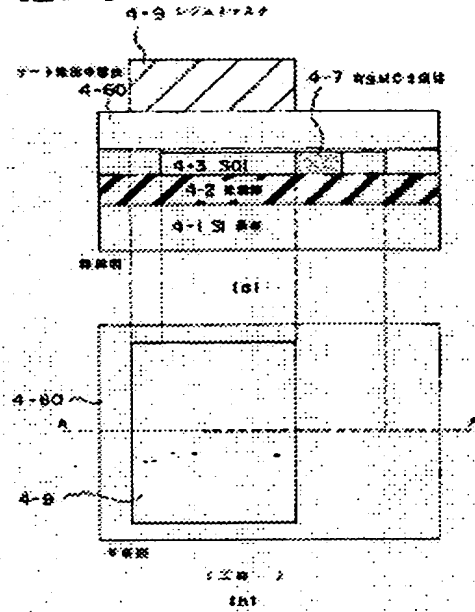
Figure 6 is a cross-sectional view of a semiconductor device. It shows several layers labeled 2-10 through 2-17. Layer 2-10 is at the bottom, labeled "S: 基板". Above it is layer 2-11, labeled "絶縁膜". Layer 2-12 is above 2-11, labeled "SiO<sub>2</sub>". Layer 2-13 is above 2-12, labeled "ゲート絶縁膜". Layer 2-14 is above 2-13, labeled "ゲート". A dashed line A-A' passes through the center. On the left side, there are two rectangular regions labeled 2-15 and 2-16, both containing a cross symbol. On the right side, there are two rectangular regions labeled 2-17 and 2-18, both containing a cross symbol. The label "(a) 平面図" is centered below the diagram.

(b)

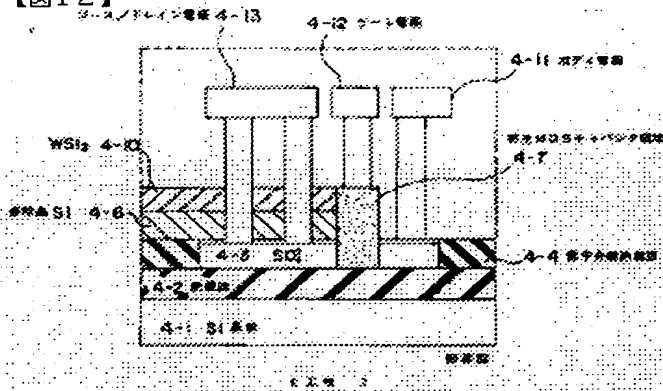
【図10】



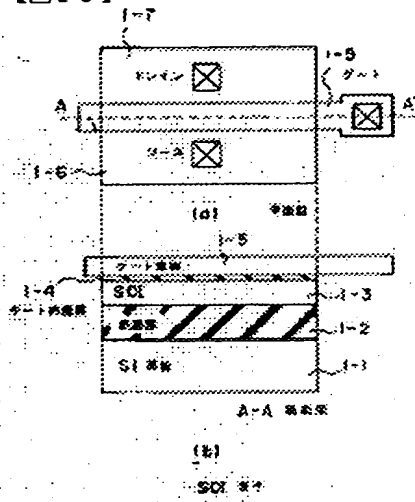
【図11】



【図12】



【図13】



【図16】

